

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 63-285971

(43)Date of publication of application : 22.11.1988

(51)Int.Cl.

H01L 27/14

(21)Application number : 62-121531

(71)Applicant : FUJITSU LTD

(22)Date of filing : 19.05.1987

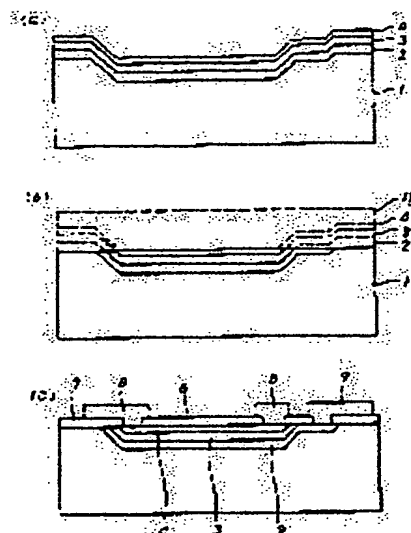
(72)Inventor : KONDO MASATO

(54) SEMICONDUCTOR PHOTODETECTOR

(57)Abstract:

PURPOSE: To reduce a junction capacity by forming an impurity-doped semi-insulating semiconductor region formed with a deep level for collection carriers between semiconductor regions of opposite conductivity types to photoelectrically convert it in the semi-insulating region.

CONSTITUTION: A recess is formed on a region formed with a PIN-PD by etching, for example, the surface of an Fe-doped semi-insulating INP substrate 1, and semiconductor layers of an N-type InP layer 2, a semi-insulating InGaAs layer 3 and a P-type InP layer 4 are grown, for example, by an LPE method at 650° C of growing temperature. Such a semiconductor substrate is covered with a resist film 11, etched to flatten the substrate surface, and the layers 2~4 remain only in the recess. The substrate is covered with a reflection preventive film 6 and a stabilized insulating film 7, openings are formed thereat, and a P-type side electrode 8 in contact with the layer 4 and an N-type side electrode 9 in contact with the layer 2 are provided. Thus, a bias voltage at PIN-PD is reduced, and a junction capacity can be reduced without enhancing bias voltage.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's

decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

2006.0297

①

⑨ 日本国特許庁(JP)

⑩ 特許出願公開

⑫ 公開特許公報(A)

昭63-285971

⑪ Int.Cl.⁴

識別記号

庁内整理番号

⑬ 公開 昭和63年(1988)11月22日

H 01 L 27/14

J-7525-5F

審査請求 未請求 発明の数 1 (全4頁)

⑭ 発明の名称 半導体受光装置

⑮ 特 願 昭62-121531

⑯ 出 願 昭62(1987)5月19日

⑰ 発 明 者 近 藤 真 人 神奈川県川崎市中原区上小田中1015番地 富士通株式会社
内

⑱ 出 願 人 富士通株式会社 神奈川県川崎市中原区上小田中1015番地

⑲ 代 理 人 弁理士 井 桁 貞一

明 細 書

1. 発明の名称

半導体受光装置

2. 特許請求の範囲

キャリアを捕獲する深い準位を形成する不純物がドーブされた半絶縁性半導体領域が、導電型が相互に反対の半導体領域間に設けられて、該半絶縁性半導体領域で光電変換が行われることを特徴とする半導体受光装置。

3. 発明の詳細な説明

(概要)

この発明は、PIN型半導体受光装置において、その光吸収領域を、キャリアを捕獲する深い準位を形成する不純物がドーブされた半絶縁性半導体で形成することにより、

バイアス電圧の低減、或いは接合容量の低減を可能として、使用上の利便性を損なうことなく高速度応答性、信号出力等を改善するものである。

(産業上の利用分野)

本発明は半導体受光装置、特に化合物半導体を用いたPIN型半導体受光装置の改善に関する。

光通信などに用いられる半導体受光装置には、PINホトダイオード(PIN-PD)とアバランシホトダイオード(APD)とがあるが、APDは光検知器の信号対雑音比を改善する効果があるものの、数10Vの高電圧が必要であること、AGC回路が必要であることなどから、主として長距離、大容量のシステムに適している。

これに対して誘化インジウム(InP)系等のⅢ-V族化合物半導体PIN-PDは、従来例えば5V程度で動作し、受光回路が簡単であるなどの利点から、中、低容量のシステムに適している。しかしながらPIN-PDでは、応答速度並びに受信レベルがその容量(キャパシタンス)に大きく支配されるために、容量の低減が要望されている。

(従来技術)

第3図はInP/InGaAs系PIN-PDの従来例の模式例

断面図である。本従来例では、例えば液相エピタキシャル成長方法(LPE法) 或いは有機金属熱分解気相成長方法(MO-CVD法)等により、 n^+ 型InP 基板21上に、ノンドープでキャリア濃度 $1 \times 10^{15} \sim 1 \times 10^{16} \text{cm}^{-3}$ 、厚さ $1 \sim 2 \mu\text{m}$ 程度の i (n^-)型InGaAs 層23と、キャリア濃度 $1 \times 10^{16} \text{cm}^{-3}$ 、厚さ $2 \mu\text{m}$ 程度の n 型InP 層24とをエピタキシャル成長し、 p 型領域25を例えば亜鉛(Zn)拡散によりキャリア濃度 $1 \times 10^{18} \text{cm}^{-3}$ 程度に形成している。

この半導体基体上に反射防止膜26と安定化絶縁膜27とを被着し、これらに開口を設けて p 側電極28を配設し、基板1の裏面に n 側電極29を設けている。

上述のPIN-PDでは電極28、29間に逆バイアス電圧を印加して i (n^-)型InGaAs層23を空乏化し、此处に入射した光による光電変換作用で発生した電子と正孔を、空乏層内の電界で分離、ドリフトさせて光電流として取り出す。

従来のキャリア濃度 $1 \times 10^{15} \text{cm}^{-3}$ 程度の n^- 半導体層では、この電子と正孔を加速する電界強度分

$$C = C_i + C_L = C_j + C_c + C_L$$

$$\frac{1}{R} = \frac{1}{R_i} + \frac{1}{R_L}$$

で表される。

また応答速度も、上述の増幅器を含むCR時定数と空乏層内のキャリア走行時間などに支配されるが、CR時定数の効果が最も大きい。

従ってPIN-PDの応答速度と信号出力電力 P_{sL} を増大し、信号対雑音比で制約される最小受信レベルを下げるには、等価容量 C を小さくすることが最も効果的である。

[発明が解決しようとする問題点]

上述の如く応答速度と信号出力電力を大きくし最小受信レベルを下げるために、PIN-PDの容量 C_i の減少が求められる。PIN-PDの容量 C_i は上述のように接合容量 C_j と分布容量 C_c の和であるが、このうち分布容量 C_c については半導体基体及び電極の形状、容器の構造などの改善が進められている。

他方接合容量 C_j については、接合(受光)面積の

布が第4図に示す如き勾配をもち、電界強度が小さければキャリアが飽和ドリフト速度に達せず、PIN-PDの特徴とする高速応答特性が発揮されないために、通常は空乏化した n^- 型半導体層内の最低電界強度が、キャリアが飽和ドリフト速度に達する値 E_s 以上、例えば $1 \times 10^4 \text{V/cm}$ 程度となる様にバイアス電圧を与えている。

PIN-PDの受光信号の増幅には通常電界効果トランジスタによる高入力インピーダンス増幅器を用いるが、その等価回路は第5図の様に表される。同図において、 $i_s(\omega)$ はPDの信号電流、 R_i はPDの内部抵抗、 R_L はPDの直列抵抗、 C_i はPDの容量で接合容量 C_j と分布容量 C_c との和であり、増幅器の入力部に相当する外部回路を負荷抵抗 R_L と容量 C_L とで表している。なおPDの直列抵抗 R_L は一般に小さくて無視できる。

この外部回路の負荷抵抗 R_L に現れる信号出力電力 P_{sL} は、

$$P_{sL} = \frac{i_s(\omega)^2 R_L}{1 + \omega^2 C^2 R^2}$$

縮小、空乏層の深さの増大等が原理的な手段であるが、受光面積の縮小は自ずから限界があり、空乏層の深さの増大にはバイアス電圧の上昇が必要で、従来のPIN-PDでは使用上の利便性が失われる。

上述の様な事情から本発明はPIN-PDを構成する半導体層を再検討して、その接合容量の減少を可能にすることを目的とする。

(問題点を解決するための手段)

前記問題点は、キャリアを捕獲する深い準位を形成する不純物がドーブされた半絶縁性半導体領域が、導電型が相互に反対の半導体領域間に設けられて、該半絶縁性半導体領域で光電変換が行われる本発明による半導体受光装置により解決される。

(作用)

本発明では第1図(a)に示す如く、PIN-PDの光吸収層3を、キャリアを捕獲する深い準位を形成する不純物をドーブした半絶縁性半導体層、例えば

鉄(Fe)をドーブして伝導電子が捕獲されるInGaAs層とすることにより、空乏層内の電界強度分布を第1図(b)に例示する如く平坦化する。

この様に電界強度分布を平均化することにより、これをキャリアが飽和ドリフト速度に達する E_{sat} 以上、例えば 1×10^4 V/cmとするバイアス電圧は空乏層の深さ $1 \mu\text{m}$ につき1Vでよく、前記従来例の如く光吸収層が $n^-(p^-)$ 型であるPIN-PDと同等のバイアス電圧で空乏層を深くして接合容量を減少させ、或いはバイアス電圧を低減することが可能となる。

なお上述の半絶縁性半導体層はバンドギャップの中央近傍に深いキャリアトラップを形成する不純物をドーブして抵抗率 $\rho = 10^3 \sim 10^8 \Omega\text{cm}$ 程度の高抵抗乃至半絶縁性とするもので、例えばInGaAs層は不純物無添加で前記従来例の光吸収層の様に、キャリア濃度 $1 \times 10^{13} \text{cm}^{-3}$ 程度、時には $1 \times 10^{14} \text{cm}^{-3}$ 程度の n^- 型となるのに対し、例えばFeをドーブして伝導電子を捕獲するアクセプタ単位を形成する。なおこの不純物のドーピングは適量として、

抵抗率: $2 \times 10^3 \Omega\text{cm}$

⑤ p型InP層4

溶液組成: In:InP:Cd = 1g:10.5mg:10mg

成長時間: 300秒, 成長厚さ: $2 \mu\text{m}$

キャリア濃度: $1 \times 10^{18} \text{cm}^{-3}$

第2図(b)参照: この半導体基体上をレジスト膜11で被覆してエッチング処理し、半導体基体表面を平坦化してくぼみ内のみに前記半導体層2～4を残置する。

第2図(c)参照: この半導体基体上に反射防止膜6と安定化絶縁膜7とを被着し、これらに開口を設けて、p型InP層4にコンタクトするp側電極8と、n型InP層2にコンタクトするn側電極9とを設ける。

上述の実施例はバイアス電圧-4Vで、空乏層の電界強度が約 1×10^4 V/cm、接合容量Cjが約 $3 \times 10^{-8} \text{F/cm}$ となる。これに対して光吸収層がキャリア濃度 $1 \times 10^{13} \text{cm}^{-3}$ の n^- 型InGaAsである場合に、他の部分を本実施例と同様として接合容量Cjをこの値にするにはバイアス電圧を-10～-11Vとしな

入射光で励起された電子がトラップされることを防止する。

(実施例)

以下本発明を実施例により具体的に説明する。

第2図は本発明の実施例を示す工程順模式断面図である。

第2図(a)参照: 例えばFeをドーブした半絶縁性InP基板1の表面をエッチングしてPIN-PDを形成する領域にくぼみを設け、例えばLPE法により成長温度650℃で下記の半導体層を成長する。

① n型InP層2

溶液組成: In:InP:Sn = 1g:10.5mg:30mg

成長時間: 300秒, 成長厚さ: $2 \mu\text{m}$

キャリア濃度: $1 \times 10^{18} \text{cm}^{-3}$

② 半絶縁性InGaAs層3

溶液組成: In:InAs:GaAs:Fe

= 1g:67.8mg:35.9mg:0.07mg

成長時間: 120秒, 成長厚さ: $4 \mu\text{m}$

固相組成: $\text{In}_{0.53}\text{Ga}_{0.47}\text{As}$

ければならず、PIN-PDの利点が著しく損なわれる。

(発明の効果)

以上説明した如く本発明により、PIN-PDについてバイアス電圧を低減すること、或いはバイアス電圧を高めることなく接合容量を低減することが可能となり、使用上の利便性を損なうことなく接合容量を低減して高速応答特性を向上し、信号出力電力を増大すること等が実現され、光通信等の進展に大きい効果が得られる。

4. 図面の簡単な説明

第1図は本発明の説明図、

第2図は実施例の工程順模式断面図、

第3図は従来例の模式断面図、

第4図は従来例の電界強度分布を示す図、

第5図は外部回路を含む等価回路図である。

図において、

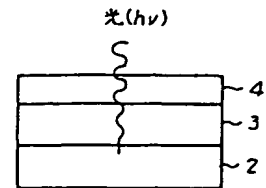
1は半絶縁性InP基板、

- 2 は n 型 InP 層、
- 3 は半絶縁性 InGaAs 層、
- 4 は p 型 InP 層、
- 6 は反射防止膜、
- 7 は安定化絶縁膜、
- 8 は p 側電極、
- 9 は n 側電極、
- 11 はレジスト膜を示す。

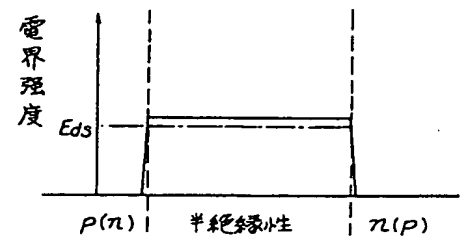
代理人 弁理士 井桁貞一



(a)

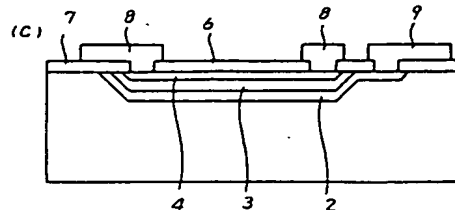
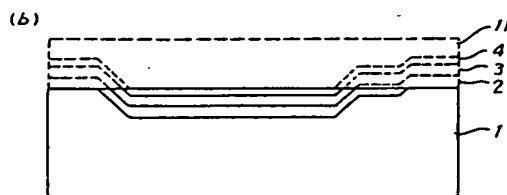
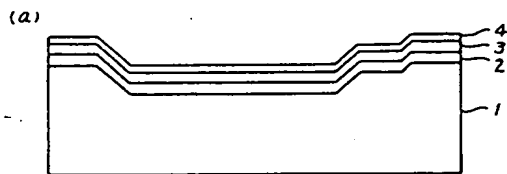


(b)



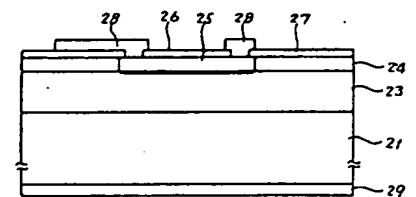
本発明の説明図

第 1 図



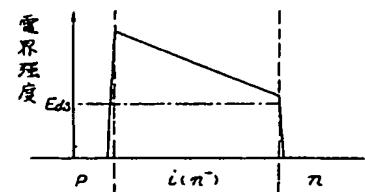
実施例の工程順模式断面図

第 2 図



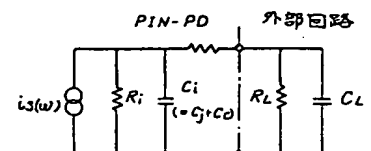
従来例の模式断面図

第 3 図



従来例の電界強度分布

第 4 図



等価回路図

第 5 図